

## הרצאה 6 קלט / פלט ופסיקות Input / Output & Interrupts

Edited by Tamer Salman 2008

1

## הקדמה

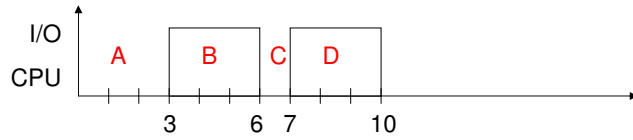
- התקני הקלט/פלט איטיים, בד"כ, מה-CPU.
- ניתן לבצע פעילות קלט/פלט במקביל לזמן העיבוד ע"י ה-CPU:
  - ה-CPU יזם קלט/פלט מתוך תהליך P.
  - בזמן ביצוע הקלט/פלט מתפנה ה-CPU לפעילות אחרת.
  - עם סיום פעולת הקלט/פלט ממשיך ה-CPU בתהליך P (טיפול בנתונים שנקראו, למשל).
  - "פעילות אחרת" היא בד"כ הרצת תוכניות אחרות "במקביל".

Edited by Tamer Salman 2008

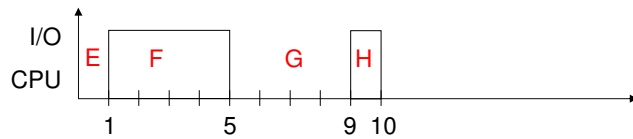
2

## דוגמה

- נתונות שתי תוכניות המנצלות את המעבד והתקן קלט/פלט כמתואר להלן:



תוכנית 1:



תוכנית 2:

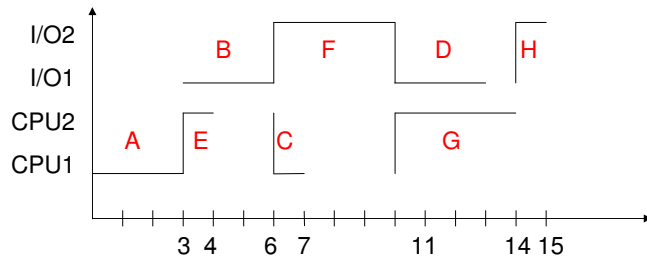
Edited by Tamer Salman 2008

3

## המשך דוגמה

- בהרצה סדרתית של התוכניות (תוכנית 2 אחרי תוכנית 1) ה-CPU מנוצל 45% מהזמן וה-I/O מנוצל 55% מהזמן.

- ע"י שימוש בריבוי תוכניות נקבל:



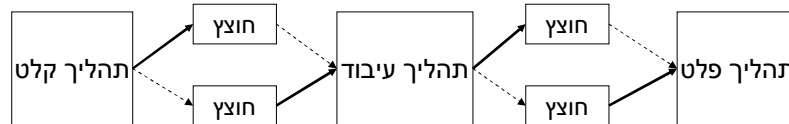
- ה-CPU מנוצל 60% מהזמן וה-I/O מנוצל 73% מהזמן.

Edited by Tamer Salman 2008

4

## שימוש בחוצצים Buffers

- נועד לאפשר מקביליות בין עיבוד לבין קלט/פלט.
- בזמן שה-CPU מעבד נתון מחוצץ אחד, ההתקן מעביר נתון לחוצץ שני וכיו"ב.
- הקצאת חוצצים נעשית בד"כ ע"י מערכת ההפעלה מתוך מאגר (pool).
- ריבוי חוצצים מיעל קלט/פלט על חשבון ניצול הזכרון לצרכים אחרים.



Edited by Tamer Salman 2008

5

## משאל לעומת פסיקה

- כיצד יודע המעבד על סיום פעולת קלט/פלט?
- באמצעות משאל (Polling)
  - ה-CPU מבצע פניות חוזרות ונשנות אל ההתקן (או ההתקנים) בפרקי זמן קצובים.
- באמצעות מנגנון פסיקה (Interrupt)
  - מנגנון הפסיקה הינו מנגנון חומרה + תוכנה.
  - סיום פעולת קלט/פלט הינו אירוע פסיקה, שבו מפסיק ה-CPU את פעולתו ומבצע שגרה מיוחדת לטיפול בפסיקה (Interrupt handling routine).
  - עם סיום ביצוע השגרה שבים לתכנית הראשית.

Edited by Tamer Salman 2008

6

## השוואה בין פסיקות למשאל

משאל	פסיקות	
איטי	מהיר	זמן פעולה של ה-CPU
נמוכה	גבוהה	סיבוכיות
תלוי בסדר המשאל	תמיכה בחומרה	עדיפות (priority)
סינכרוני	אסינכרוני	תזמון
מסובך	פשוט (עם עדיפויות)	קיבון (nesting)

Edited by Tamer Salman 2008

7

## קלט/פלט ב-PDP-11

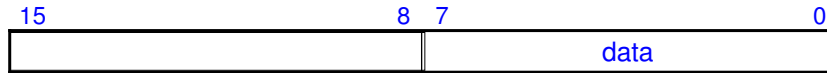
- ב-PDP-11 אין פקודות קלט/פלט מיוחדות.
- לכל בקר מוקצות מספר כתובות (בד"כ כתובת אחת או שתיים) במרחב הזכרון (1/4 הזכרון "האחרון").
- כתובות אלו הינן כתובות אוגרי הממשק (Interface registers).
- אוגר אחד משמש להעברת נתונים מן/אל ה-CPU. (אוגר נתונים)
- אוגר נוסף משמש לבקרת ההתקן (Control) ולבחינת מצבו (Status). (אוגר בקרה)

Edited by Tamer Salman 2008

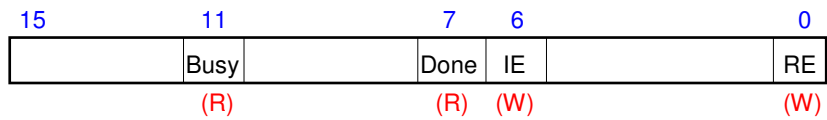
8

## אוגרי הממשק ב-PDP-11 Keyboard

- אוגר נתונים. כתובת TKB (Terminal Keyboard Buffer) – 177562



- אוגר בקרה/מצב. כתובת TKS (Terminal Keyboard Status) – 177560



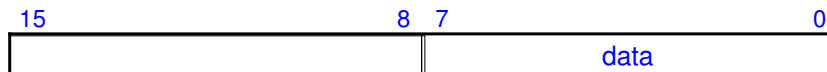
- (R) – סיבית קריאה בלבד. (W) – סיבית קריאה / כתיבה.
- Busy = 1 – כאשר תו בתהליך קריאה.
- Done = 1 – כאשר תו מוכן ב-TKB. מתאפס עם הקריאה מה-TKB.
- IE (Interrupt Enable) – כאשר הוא 1, Done גורם לפסיקה.
- RE (Read Enable) – כאשר הוא 1, מאפשר קריאה של התו הבא. מתאפס עם קריאה מה-TKB.

9

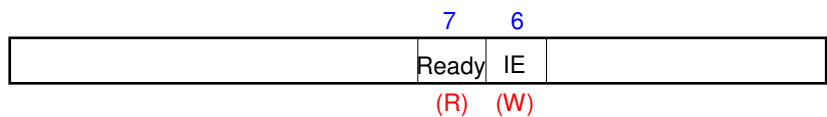
Edited by Tamer Salman 2008

## אוגרי הממשק ב-PDP-11 Printer (CRT)

- אוגר נתונים. כתובת TPB (Terminal Printer Buffer) – 177566



- אוגר בקרה/מצב. כתובת TPS (Terminal Printer Status) – 177564



- Ready = 1 – המדפסת פנויה. ערכו ההתחלתי 1. יורד לאפס כאשר כותבים ל-TPB.
- IE (Interrupt Enable) – כאשר הוא 1, Ready גורם לפסיקה.

10

Edited by Tamer Salman 2008

## תכנית "הד" (Echo) - משאל

```

TKS = 177560
TKB = TKS+2
TPS = TKB+2
TPB = TPS+2
. = torg + 1000
ECHO:      MOV  #1, @#TKS           ; initiate reading
LOOP1:     TSTB @#TKS              ; char ready?
           BPL  LOOP1
LOOP2:     TSTB @#TPS              ; printer ready?
           BPL  LOOP2
           MOVB @#TKB, @#TPB       ; transfer char
           BR   ECHO               ; next char
    
```

Edited by Tamer Salman 2008

11

## מנגנון הפסיקה ב-PDP-11

- מצב המכונה מוגדר ע"י שתי מילים:

	8	7	6	5	4	3	2	1	0
PSW:				Priority	T	N	Z	V	C

PS:

- C – Carry, V – oVerflow, Z – Zero, N – Negative, T – Trap bit.

- בעת פסיקה נשמר מצב המכונה במחסנית:

```

MOV PSW, -(SP)
MOV PC, -(SP)
    
```

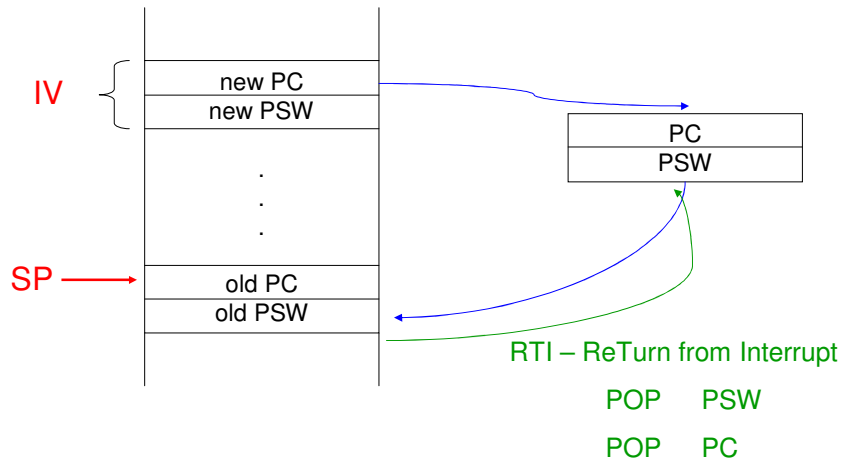
ונשלף מצב חדש מתוך ווקטור פסיקה (IV – Interrupt Vector), שמיקומו בהתאם להתקן יוזם הפסיקה:

000064 (PC)	עבור TP	000060 (PC)	עבור KB
000066 (PSW)		000062 (PSW)	

Edited by Tamer Salman 2008

12

## קבלת פסיקה וחזרה ממנה



Edited by Tamer Salman 2008

13

## מתי תבצע פסיקה?

- ההתקן פעיל (RE = 1)
- פעולת הקלט / פלט הסתיימה (DONE / READY = 1)
- ההתקן רשאי ליזום פסיקה (IE = 1)
- עדיפות (priority) ההתקן גבוהה מזו הרשומה ב-PSW.

• דוגמאות:

Priority	IV address	התקן
4	60 / 62	KB
4	64 / 66	TP
6	100 / 102	Clock
7	24 / 26	Electricity Failure

Edited by Tamer Salman 2008

14

## דוגמה: תכנית הד (Echo) עם פסיקת KB

```

TKS = 177560 ; define interface registers
TKB = TKS+2
TPS = TKB+2
TPB = TPS+2

. = torg + 60 ; interrupt vector for KB
                .WORD INP ; address of interrupt handler
                .WORD 200 ; content of PSW

. = torg + 1000
MAIN:          MOV  PC, SP ; initialize stack
                TST  -(SP)
                MOV  #101, @#TKS ; enable interrupt
                ... ; the rest of the program
; interrupt handling routine
INP:           MOVB @#TKB, @#TPB ; transfer char
                INC  @#TKS
                RTI ; return from interrupt
    
```

15

Edited by Tamer Salman 2008

## שעון Clock

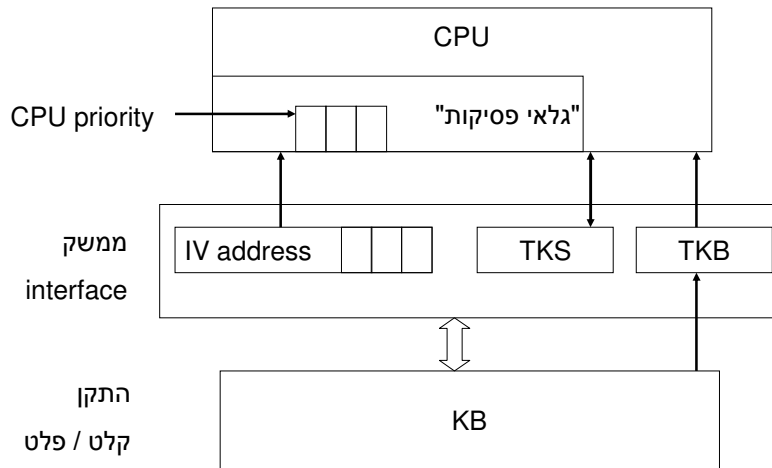
- התקן אשר בשפעולו (enabling) יוצר פסיקות בזמנים קצובים.
- משמש ל:
  - קביעת השעה.
  - "שעון חול" עבור ריצת תוכנית או שימוש של תוכנית במשאב נתון (timeout).
  - הפעלת תהליכים בזמן נתון בעתיד.
  - מדידת משך זמן ריצה או משך הזמן בו תכנית השתמשה במשאב.
- ב-PDP-11 יוזם השעון פסיקה כל 1/50 שניה.
- כתובת ה-status של השעון היא  $CLS = 177546$ .
- מבנה ה-status כמו במדפסת.
- מקום ה-IV 102 / 100.

16

Edited by Tamer Salman 2008



## פסיקות – מבנה הממשק



Edited by Tamer Salman 2008

17

## עוד פסיקות מכונה וחומרה

פסיקות מכונה	IV	Priority
Odd addresses	4/6	7
Non existing address	4/6	7
Stack violation (SP < 376)	4/6	7
Stack warning (SP < 420)	4/6	7
Illegal Op-code	10/12	7

פסיקות חומרה	IV	Priority
Cache parity error	114/116	7
Power failure	24/26	7

Edited by Tamer Salman 2008

18

## פקודת wait

- הפקודה דומה ל-HALT אבל המעבד ממשיך להגיב לפסיקות. לאחר החזרה משגרת הפסיקה תבוצע הפקודה שאחרי ה-WAIT.

- הערה: כיצד ניתן להישאר בלולאה של WAIT?

WAIT  
BR -2

IA

W: WAIT  
BR W